

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

JPAB

CLIPPEDIMAGE= JP402128201A

PAT-NO: JP402128201A

DOCUMENT-IDENTIFIER: JP 02128201 A

TITLE: PROGRAMMABLE CONTROLLER

PUBN-DATE: May 16, 1990

INVENTOR-INFORMATION:

NAME

YATSUDA, YUTAKA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

N/A

FUJI ELECTRIC CO LTD

APPL-NO: JP63281393

APPL-DATE: November 9, 1988

INT-CL (IPC): G05B019/05

US-CL-CURRENT: 700/11

ABSTRACT:

PURPOSE: To attain a high speed communication processing by connecting a transfer-only processor to a common bus and directly reading and writing a transmission/reception signal from and into a memory without through a bus interface.

CONSTITUTION: The transfer-only processor 500 is connected to the common bus 100 and the transmission/reception signal is directly read and written from and into the memory 200 without through the bus interface. Consequently, the selecting processing of a connecting transmission line with respect to the bus interface is eliminated compared to a conventional programmable controller which reads from and writes into the memory 200 through the bus interface, and the communication processing is shortened for the processing time.

COPYRIGHT: (C)1990, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A) 平2-128201

⑫ Int. Cl. 5

G 05 B 19/05

識別記号

庁内整理番号

F 7740-5H  
L 7740-5H

⑬ 公開 平成2年(1990)5月16日

審査請求 未請求 請求項の数 1 (全6頁)

⑭ 発明の名称 プログラマブルコントローラ

⑮ 特願 昭63-281393

⑯ 出願 昭63(1988)11月9日

⑰ 発明者 八ツ田 豊 神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

⑱ 出願人 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号

⑲ 代理人 弁理士 谷 義一

明細書

を具えたことを特徴とするプログラマブルコントローラ。

1. 発明の名称

(以下余白)

プログラマブルコントローラ

2. 特許請求の範囲

共通バスに接続し、シーケンス演算用のデータを記憶するメモリと、

前記共通バスに接続し、前記メモリから前記データを読み出して前記シーケンス演算を実行し、その演算結果を前記メモリに書き込むシーケンス演算用プロセッサと、

2つの信号入出力端を有し、一方の前記信号入出力端と複数の外部制御対象機器に対する複数の信号伝送路とを接続し、かつ他方の前記信号入出力端と前記共通バスとを接続し、前記信号入出力端を通じて前記複数の外部制御対象機器との間で送受信する信号を前記シーケンス演算のデータとして予め定めた転送順に従って前記メモリに読み出しましたは書き込みする転送専用プロセッサと

## 3. 発明の詳細な説明

## (産業上の利用分野)

本発明は制御対象機器との間で動作制御信号の授受を行うプログラマブルコントローラに関する。

## (従来の技術)

従来から、一般によく知られているプログラマブルコントローラの通信回路の構成を第5図に示す。

第5図において、プログラマブルコントローラが複数の制御対象機器からシーケンス演算の対象となるデータ信号を受信する場合、CPU1はバスインターフェース8に対してマザーバスと接続すべきI/Oを指示し、対応するI/Oバスとマザーバス2を接続させる。

制御対象機器から送られてきた信号は、インターフェース(I/O)7により、例えばシリアル信号からパラレル信号に変換されたり、信号の電圧レベルが転送用レベルから制御処理用レベルに変

インターフェース8からデータメモリ5へ直接データ信号を送出させることはできないので、CPU1がバスインターフェース8からデータ信号を読み取って、この読み取りデータ信号をデータメモリへの書き込みを行なわなければならない。

その結果、バスインターフェース8およびデータメモリ5のアクセス毎にCPU1は、アドレス信号、書き込み信号、読み出し信号、データ信号を通信関連回路に送出するという煩雑な制御動作を時系列的に行なわなければならないので、通信処理に時間がかかるという不具合があった。

そこで、本発明の目的はこのような不具合を解消し、複数のインターフェースと送受信する信号を直接メモリに読み書きすることにより制御対象機器との通信処理をより高速に実行することが可能なプログラマブルコントローラを提供することにある。

## (課題を解決するための手段)

このような目的を達成するために、本発明は、

接され、I/Oバスと、バスインターフェース8、マザーバス(共通バス)とを介してCPU1に送られる。次にCPU1は受信した信号の数値、制御命令等の内容を識別し、識別結果を制御対象機器と対応するデータメモリ5の指定領域に書き込む。

以下、CPU1は上述の手順を繰り返し、第2番目以降のI/Oから順にデータ信号を読み出し、続いてデータメモリ5に書き込む処理を行う。次に、データ信号の受信処理を終了するとCPU1はデータメモリ5に格納されたデータ信号に基いて、ユーザが作成したシーケンスプログラムを実行し、その演算結果をそれぞれデータメモリ5に書き込んだ後、データメモリ5から順次制御対象機器毎に送信すべき情報を読み出し、バスインターフェース8、I/Oを介して制御対象機器に動作を指示する制御信号を送出している。

## (発明が解決しようとする課題)

しかしながら従来のプログラマブルコントローラでは例えば受信処理においてはCPU1がI/Oバス

共通バスに接続し、シーケンス演算用のデータを記憶するメモリと、共通バスに接続し、メモリからデータを読み出してシーケンス演算を実行し、その演算結果をメモリに書き込むシーケンス演算用プロセッサと、2つの信号入出力端を有し、一方の信号入出力端と複数の外部制御対象機器に対する複数の信号伝送路とを接続し、かつ他方の信号入出力端と共通バスとを接続し、信号入出力端を通じて複数の外部制御対象機器との間で送受信する信号をシーケンス演算のデータとして予め定めた転送順に従ってメモリに読み出しさまたは書き込みする転送専用プロセッサとを具えたことを特徴とする。

## (作用)

本発明では転送専用プロセッサを共通バスに接続してバスインターフェースを介さず直接メモリに送受信信号を読み書きするようになったので、バスインターフェースを介してメモリに信号を読み書きする従来のプログラマブルコントローラに

比べて、バスインターフェースに対する接続伝送路の選択処理が不要となるので、その処理時間分通信処理が短縮され、従来よりも高速な通信処理を行うことができる。

#### (実施例)

以下、図面を参照して本発明の実施例を詳細に説明する。

第1図は本発明実施例の基本構成を示す。

第1図において、200は共通バス100に接続し、シーケンス演算用のデータを記憶するメモリである。

300は前記共通バスに接続し、前記メモリから前記データを読み出して前記シーケンス演算を実行し、その演算結果を前記メモリに書き込むシーケンス演算用プロセッサである。

500は2つの信号入出力端を有し、一方の前記信号入出力端と複数の外部制御対象機器に対する複数の信号伝送路400とを接続し、かつ他方の前記信号入出力端と前記共通バスとを接続し、前記

(プロセッサ)であり、本例では集積化したLSIチップを使用する。LSIに代わり、二つの入出力端を有するCPUや演算回路を用いることも可能である。

転送専用LSI2は、マザーバス2およびI/Oバスmと接続し、各I/O7から順次に読み出したデータ信号をデータメモリ5に直接書き込む処理およびデータメモリ5から直接読み出したデータ信号を所定のI/O7に送出する処理を行う。

本実施例は複数のI/Oから送受信する信号をバスインターフェースを介さず直接データメモリ5にアクセスする回路(転送専用LSI2)を設け、そのアクセスの間はCPU1との動作を停止させ、CPU2のシーケンス演算処理を禁止するようにしたことに特徴がある。

第3図は第2図に示す回路の具体的な信号内容を示す。

第3図において、マザーバス(共通バス)またはCPU1および転送専用LSI2のそれから出力可能な次の信号を、各メモリに対して伝送する。すな

信号入出力端を通じて前記複数の外部制御対象機器との間で送受信する信号を前記シーケンス演算のデータとして予め定めた転送順に従って前記メモリに読み出しあり書き込みする転送専用プロセッサである。

第2図は本発明実施例の具体的な回路構成を示す。

第2図において、第5図に示す従来例と同様の箇所には同一の符号を付し、その詳細な説明を省略する。

第2図において、6は停電時において、本発明に関わる第3図示の制御手順を記憶しておくリードオンリメモリ(ROM)である。3はシステム作動の間の上記制御手順を記憶しておくランダムアクセスメモリ(RAM)であり、システム電源の投入に応じてROM6から制御手順が転送される。

なお、この制御手順の転送処理は従来から周知なので詳細な説明を省略する。

2はシステム電源の投入に応じてRAM3に格納された通信処理用の制御手順を実行する演算回路

わち、メモリに対する書き込み指示を行うリード信号、メモリからの読み出しを指示するライト信号、読み書きするメモリのアドレス領域を指示するアドレス信号および読み／書き対象のデータ信号が各メモリの読み書きに用いられる。

転送専用LSI2と転送プログラムメモリ3との間の信号バスおよび転送用LSIと各I/O7との接続バスも上述の信号線構成となっている。また、通信処理を行うときに転送専用LSI2からCPU1に停止(HOLD)要求を行うHOLD要求信号2AとCPU1からのHOLD要求に応答する信号1AとがCPU2と転送用LSI2との間で授受される。

次に第4図のフローチャートを参照して第3図に示す回路の動作説明を行う。

第4図示の制御手順はシステム作動時に転送用プログラムメモリ3に格納されており、システム起動に応じて転送専用LSI2から順次読み出され、信号の受信処理、送信処理に応じて一定周期で繰り返し実行される。

この制御手順を読み出すと、転送専用LSI2は、

受信処理を行うときには、転送用プログラムで指定されるI/07をアドレス指定し、I/07からのデータ信号を取り込む。次に、このデータ信号の内容、例えば数値、制御命令等を識別した後、CPU1に対しHOLD要求信号2Aを発生する（ステップS1→S2→S3→S4）。

CPU1からの応答信号IAを受信しCPU1の停止を確認した後、転送専用LSI2は制御プログラムで指定されるデータメモリ5のアドレス指定を行い、書き込み信号を発生し上述のデータ信号に対する識別結果をデータメモリ5に書き込む（ステップS5→S6）。

続いて転送専用LSI2は出力保持していたHOLD要求信号2Aを解除し、CPU1を起動させた後、第1のI/07からの信号受信を終了する。

続いて、転送プログラムの制御命令を読み出し、この制御命令が例えば第2のI/07へのデータ送信処理の場合は、転送専用LSI2はCPU2に対してHOLD要求信号2Aを出力する（ステップS1→S2→S11）。次に、LSI2はCPU1を停止させた後、データ

例では1回で済む。この結果、制御対象機器との信号通信処理が高速化されることは明らかである。

本実施例1の応用形態については次のことが考えられる。

1) 本実施例では演算処理用のCPU1と転送用LSI2がデータメモリ5を共有するために、演算処理用CPU1と転送用LSI2との間でHOLD要求信号の授受を行って片一方の演算回路を停止するようにしている。

しかしながら相方の演算回路を他の処理用に並行して稼動させたい場合、通信処理のときはデータメモリ5と転送用LSI2との間のみのバスを有効として、演算処理のときはデータメモリ5とCPU1との間のみのバスを有効とするように、バス分離回路やスイッチによりデータメモリの接続信号線を切り替えればよい。

2) 本実施例ではシステム起動時に転送用プログラムRAM3へROM6から転送プログラムを書き込むようしているが転送用プログラムRAM3とキーボー

メモリ5の転送プログラムで指定されるアドレス指定を行ってデータメモリ5から送信すべき信号を読み出す。またCPU2のHOLD解除をも行う（ステップS12→S13）。続いて、第2のI/07に対応するバス規約すなわち伝送方式と対応する送信信号に読み出し信号を変換し、第2のI/07をアドレス指定して出力する（ステップS14）。

以下、転送プログラムを順次に実行し、各I/07との間でデータの送受信処理およびデータメモリ5に対する読み書き処理を転送LSI2が繰り返し実行する。

またCPU1がシーケンス演算実行のためにデータメモリ5から記憶内容を読み出す場合は、CPU2から転送専用LSI2にHOLD要求信号を送出すればよく、HOLD要求信号を受信している間、転送用LSI2は停止する。

本実施例では転送専用LSI2が複数のI/07から逐一にデータ信号の授受を行うようにしたので、従来例では必要であった通信を行うI/07の指定処理およびI/07への読み書き処理の2回の処理が本

ドおよびデータ読み書き回路を接続し、キーボードから転送用プログラムRAM3に転送プログラムを入力したり転送用プログラムRAM3の記憶内容をキーボードにより修正が可能なように構成してもよい。

この場合、転送プログラムを可変設定できるので、各I/07に対するアクセス順序やデータメモリ5の格納アドレスを装置構成の制限を受けることなくオペレータの所望に定めることができる。

#### （発明の効果）

以上説明したように、本発明によれば、転送専用プロセッサを共通バスに接続してバスインターフェースを介さず直接メモリに送受信信号を読み書きするようになったので、バスインターフェースを介してメモリに信号を読み書きする従来のプログラムブルコントローラに比べて、バスインターフェースに対する接続伝送路の選択処理が不要となるので、その処理時間分通信処理が短縮され、従来よりも高速な通信処理を行うことができ

る。

また、転送専用プロセッサを駆動させる制御プログラムを書き変えることにより、ハード構成を変更することなくソフトウェアの変更のみで種々の伝送方式の信号を識別することおよび信号の転送順序を可変に設定することが可能となるという効果も得られる。

#### 4. 図面の簡単な説明

第1図は本発明実施例の基本的な回路構成を示すブロック図。

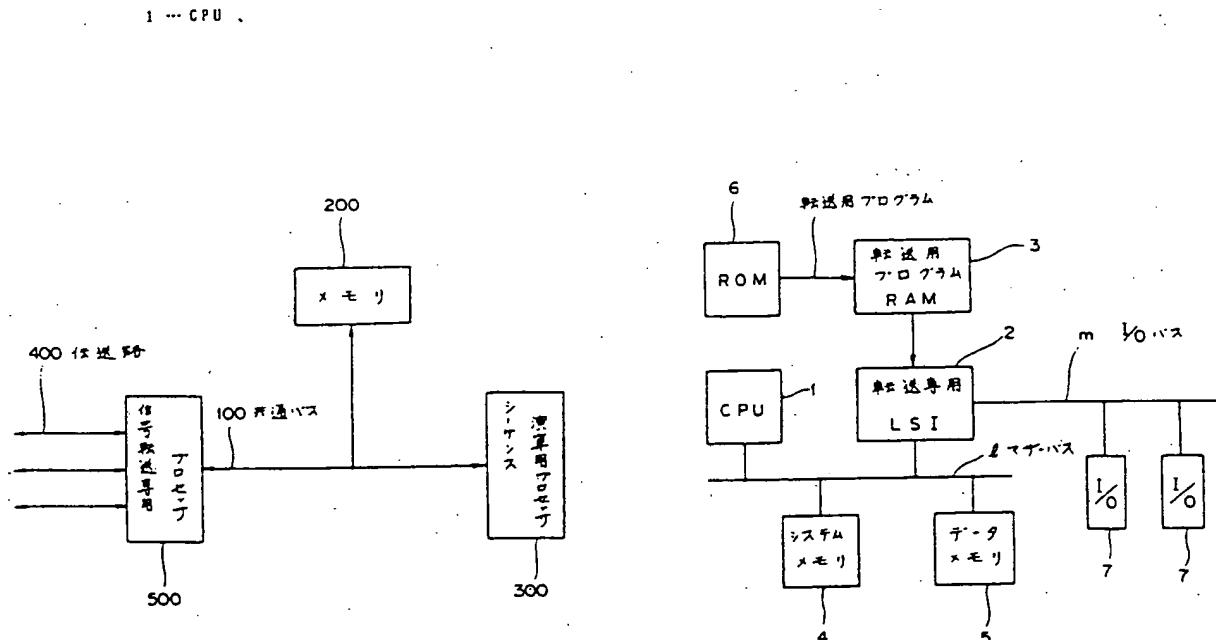
第2図は本発明実施例の具体的な回路構成を示す回路図。

第3図は第2図に示す回路の信号線接続を示す回路図。

第4図は第2図に示す転送専用LSIが実行する動作手順を示すフローチャート。

第5図は従来例の回路構成を示す回路図。

- 2 … 転送専用LSI、
- 3 … RAM、
- 4 … システムメモリ、
- 5 … データメモリ、
- 7 … I/O、
- 8 … バスインターフェース。

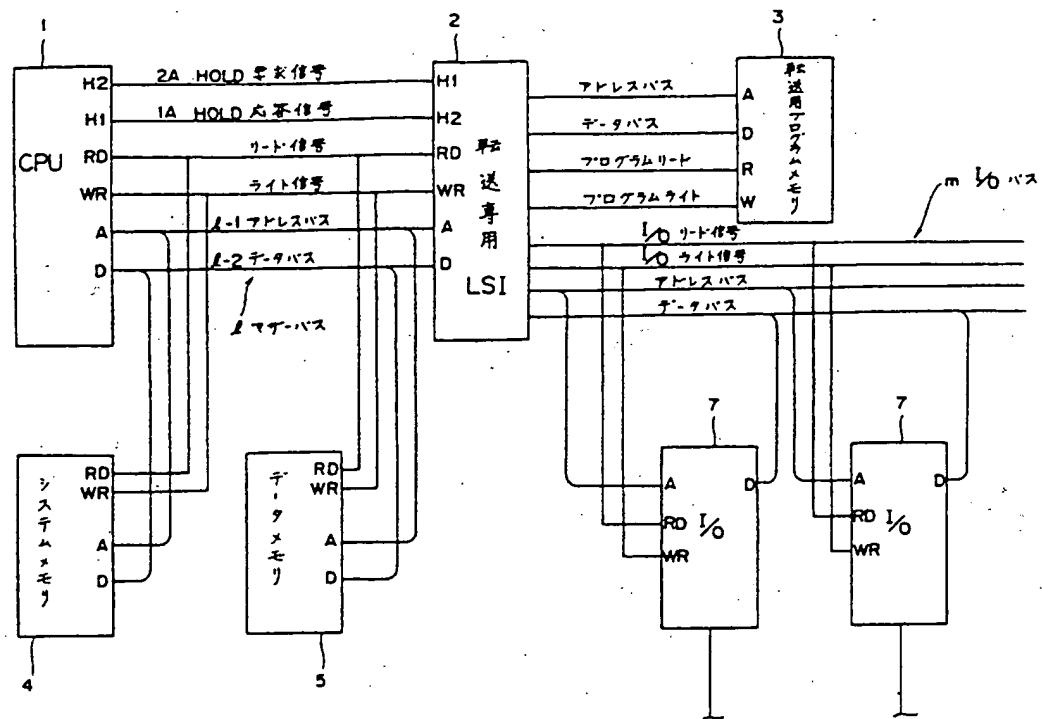


本発明実施例のブロック図

第1図

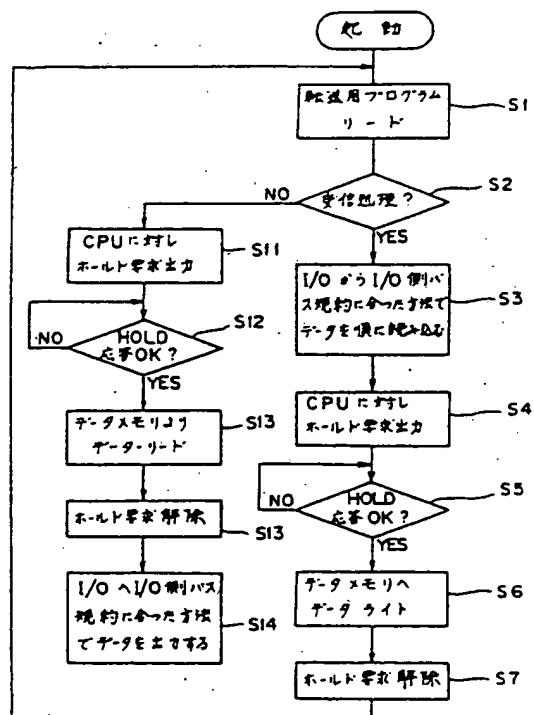
本発明実施例の回路図

第2図



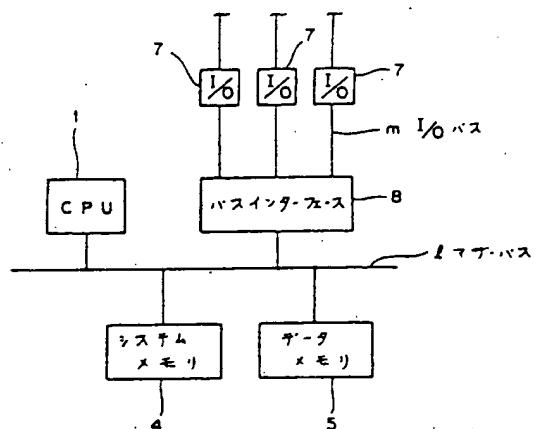
本発明実施例の回路図

第3図



本発明実施例のフローチャート

第4図



従来例の回路図

第5図